

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-222441

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

G06F 13/00

(21)Application number : 09-018450

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 31.01.1997

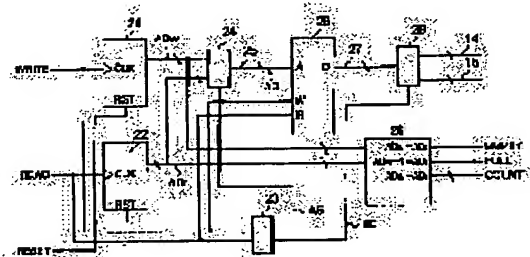
(72)Inventor : YAMAMOTO YOSHIHISA

(54) FIFO MEMORY AND DATA TRANSFER SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data transfer system with which the data transfer of high reliability and satisfactory performance is enabled by simple processing.

SOLUTION: When transferring data from a transmission side subsystem to a reception side subsystem while using a FIFO memory, after it is confirmed that the FIFO memory is not in the full state while referring to a full state display signal FULL outputted from a comparator 29 in the FIFO memory or a counter compare signal COUNT showing the amount of remaining data in the FIFO memory, at the transmission side subsystem, transmission data are written into a RAM 26 inside the FIFO memory by using a transmission side data bus 14 and a write control signal WRITE. At the reception side subsystem, it is confirmed that the FIFO memory is not in the empty state while referring to an empty state display signal EMPTY or the counter compare signal COUNT outputted from the counter 29 and afterwards, reception data are read out of the RAM 26 by using a reception side data bus 15 and a read control signal READ.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st counter which carries out counting of the pulse number of the write-in control signal which consists of a pulse signal, and holds the write-in address, The 2nd counter which carries out counting of the pulse number of the read-out control signal which consists of a pulse signal, and holds the read-out address, The control means which answers said write-in control signal and said read-out control signal, and outputs a select signal and a buffer control signal, A selection means to choose either of the read-out addresses AD_r outputted from the write-in address AD_w outputted from said 1st counter or said 2nd counter based on said select signal, and to output a memory address AD, and said buffer control signal are answered. An I/O means to connect a memory data bus, a transmitting-side data bus, or a receiving-side data bus, Answer said write-in control signal, and hold the transmit data on said memory data bus to the storage region specified by said memory address AD, and said read-out control signal is answered. The memory which outputs the maintenance data of the storage region specified by said memory address to said memory data bus, The write-in address AD_w outputted from said 1st counter is compared with the read-out address AD_r outputted from said 2nd counter. The FIFO memory characterized by having a comparison means to output the empty status-display signal which shows AD_w=AD_r, the full state status signal which shows AD_w+1=AD_r, and (AD_w-AD_r) the shown counter comparison signal.

[Claim 2] The 1st counter which carries out counting of the pulse number of the write-in control signal which consists of a pulse signal, and holds the write-in address, The 2nd counter which carries out counting of the pulse number of the read-out control signal which consists of a pulse signal, and holds the read-out address, The control means which answers said write-in control signal, said read-out control signal, a writing side counter read-out control signal, and a read-out side counter read-out control signal, and outputs a select signal and a buffer control signal, A selection means to choose either of the read-out addresses AD_r outputted from the write-in address AD_w outputted from said 1st counter or said 2nd counter based on said select signal, and to output a memory address AD, and said buffer control signal are answered. An I/O means to connect a memory data bus or a counter comparison signal line, and a transmitting-side data bus or a receiving-side data bus, Answer said write-in control signal, and hold the transmit data on said memory data bus to the storage region specified by said memory address AD, and said read-out control signal is answered. The memory which outputs the maintenance data of the storage region specified by said memory address to said memory data bus, The write-in address AD_w outputted from said 1st counter is compared with the read-out address AD_r outputted from said 2nd counter. The FIFO memory characterized by having a comparison means to output the counter comparison signal which shows (AD_w-AD_r) to said counter comparison signal line while outputting the empty status-display signal which shows AD_w=AD_r, and the full state status signal which shows AD_w+1=AD_r.

[Claim 3] It is the FIFO memory characterized by making it the configuration which said counter comparison signal consists of two or more bits in a FIFO memory according to claim 1 or 2, and gives these all bits or several bits high orders to said I/O means.

[Claim 4] It connects with the FIFO memory of claims 1, 2, or 3 through said transmitting-side data bus at said FIFO memory. After checking that this FIFO memory is not full state based on said full state status signal or said counter comparison signal The transmitting-side subsystem which writes said transmit data in this FIFO memory using this transmitting-side data bus and said write-in control signal, After connecting with said FIFO memory through said receiving-side data bus and checking that this FIFO memory is not in an empty condition based on said empty status-display signal or said counter comparison signal The data transfer system characterized by having the receiving-side subsystem which reads received data from this FIFO memory using this receiving-side data bus and said read-out control signal.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the FIFO (First-In First-Out) memory used among equipments, such as two or more subsystems which are operating to asynchronous mutually, in order to deliver and receive data, and the data transfer system using this.

[0002]

[Description of the Prior Art] Drawing 5 is the block diagram of the outline of the conventional data transfer system. This data transfer system delivers data using FIFO memory 3 between the transmitting-side subsystems 1 and the receiving-side subsystems 2 which are operating to asynchronous mutually. In each subsystems 1 and 2, in order to perform the writing and read-out of data, it has the microprocessor or the DMA (Direct Memory Access) controller. The method which performs the writing and read-out of data using a microprocessor is the program transmittal mode which controls this microprocessor by the program and carries out writing and read-out. On the other hand, the method which performs the writing and read-out of data using a DMA controller is a DMA transfer method which sets the address, transfer numbers of words, etc. as this DMA controller, and carries out writing and read-out. Generally, when high-speed data transfer is required, the DAM transmittal mode is used. The transmitting-side subsystem 1 and FIFO memory 3 are connected with the transmitting-side data bus 4, and the receiving-side subsystem 2 and FIFO memory 3 are further connected with the receiving-side data bus 5.

[0003] It is the write-in control signal WRITE with which FIFO memory 3 is given from the transmitting-side subsystem 1 in the above configuration. It is controlled by the read-out control signal READ given from the receiving-side subsystem 2, and is the empty status-display signal EMPTY. And the full state status signal FULL is outputted. The transmitting-side data bus 4 and the write-in control signal WRITE after the full state status signal FULL outputted from FIFO memory 3 deceiving and coming out in the transmitting-side subsystem 1 and checking a certain thing It is used and transmit data is written in this FIFO memory 3. Empty status-display signal EMPTY outputted from FIFO memory 3 in the receiving-side subsystem 2 After deceiving and coming out and checking a certain thing, received data are read from this FIFO memory 3 using the receiving-side data bus 5 and the read-out control signal READ. Thereby, data transfer from the transmitting-side subsystem 1 to the receiving-side subsystem 2 can be performed.

[0004]

[Problem(s) to be Solved by the Invention] However, it is the empty status-display signal EMPTY as a signal which shows the condition of this FIFO memory 3 by conventional FIFO memory 3. Although the full state status signal FULL exists, since only the tri-state full of data in which empty and data exist [data] in the transmitting-side subsystem 1 and the receiving-side subsystem 2 only now is distinguishable, the amount of data to transmit is unknown. Therefore, a problem like following (a) - (c) arises.

(a) In the transmitting-side subsystem 1 and the receiving-side subsystem 2, since the actually required amount of data transfer is unknown, the after treatment (namely, after treatment after transfer processing of a DMA controller etc.) of setting the amounts of data transfer, such as a DMA controller prepared in these subsystems 1 and 2, as maximum, and amending based on the actual amount of transfers after transfer processing is complicated.

(b) When there are few amounts of openings of FIFO memory 3, the amount of data which should be transmitted by data flow control can be controlled by the transmitting-side subsystem 1 (that is, data flow control by the amount of openings of FIFO memory 3 is carried out). Therefore, overflow of data and data take, it spills and a ***** problem occurs.

(c) In the receiving-side subsystem 2, the urgency (that is, when there is much amount of data, since there is little possibility that overflow will occur data when there are little read-out and amount of data immediately since overflow may occur, it may collect later and transfer processing may be carried out) of the transfer processing by the amount of data of FIFO memory 3 cannot be judged. Therefore, if transfer processing of this small amount of data is repeatedly repeated when there is little amount of data of FIFO memory 3, the problem of the fall of performance will occur. In order to solve these problems conventionally, in JP,3-180953,A, JP,6-4437,A, etc., the data transfer technique using the FIFO memory which formed the counter for an amount-of-data display is also proposed. However, since the configuration was comparatively easy and the easy FIFO memory of control did not have the former when it was reliable and the data transfer system in which data transfer with sufficient performance is possible was constituted from simple processing, it was difficult to obtain the data transfer system using still technical sufficiently satisfying a FIFO memory and this.

[0005]

[Means for Solving the Problem] In order to solve said technical problem, in invention of claim 1 of this inventions The 1st counter which carries out counting of the pulse number of the write-in control signal which consists of a pulse signal in a FIFO memory, and holds the write-in address, The 2nd counter which carries out counting of the pulse number of the read-out control signal which consists of a pulse signal, and holds the read-out address, The control means which answers said write-in control signal and said read-out control signal, and outputs a select signal and a buffer control signal, A selection means to choose either of the read-out addresses AD_r outputted from the write-in address AD_w outputted from said 1st counter or said 2nd counter based on said select signal, and to output a memory address AD, and said buffer control signal are answered. It has an I/O means to connect a memory data bus, a transmitting-side data bus, or a receiving-side data bus, memory, such as RAM (Random Access Memory), and a comparison means. Said memory answers said write-in control signal, holds the transmit data on said memory data bus to the storage region specified by said memory address AD, answers said read-out control signal, and outputs the maintenance data of the storage region specified by said memory address to said memory data bus. Furthermore, said comparison means compares the write-in address AD_w outputted from said 1st counter with the read-out address AD_r outputted from said 2nd counter, and outputs the empty status-display signal which shows AD_w=AD_r, the full state status signal which shows AD_w+1=AD_r, and (AD_w-AD_r) the shown counter comparison signal.

[0006] In invention of claim 2, it has the 1st and 2nd same counter as claim 1, a selection means and memory, and a control means which is different in claim 1, an I/O means and a comparison means in the FIFO memory. Said control means answers said write-in control signal, said read-out control signal, a write-in counter read-out control signal, and a read-out side counter read-out control signal, and outputs a select signal and a buffer control signal. Said I/O means answers said buffer control signal, and connects a memory data bus or a counter comparison signal line, and a transmitting-side data bus or a receiving-side data bus. Furthermore, said comparison means compares the write-in address AD_w outputted from said 1st counter with the read-out address AD_r outputted from said 2nd counter, and it outputs the counter comparison signal which shows (AD_w-AD_r) to said counter comparison signal line while it outputs the empty status-display signal which shows AD_w=AD_r, and the full state status signal which shows AD_w+1=AD_r.

[0007] In the FIFO memory of claims 1 or 2, said counter comparison signal consists of two or more bits, and is carrying out invention of claim 3 to the configuration which gives these all bits or several bits high orders to said I/O means. Invention of claim 4 is equipped with the FIFO memory, transmitting-side subsystem, and receiving-side subsystem of claims 1, 2, or 3 in the data transfer system. After it connects with said FIFO memory through said transmitting-side data bus and said transmitting-side subsystem checks that this FIFO memory is not full state based on said full state status signal or said counter comparison signal, this transmitting-side data bus and said write-in control signal are used for it, and it writes said transmit data in this FIFO memory. Furthermore, after it connects with said FIFO memory through said receiving-side data bus and said receiving-side subsystem checks that this FIFO memory is not in an empty condition based on said empty status-display signal or said counter comparison signal, this receiving-side data bus and said read-out control signal are used for it, and it reads received data from this FIFO memory.

[0008] According to invention of claim 1, since the FIFO memory was constituted as mentioned above, if a write-in control signal or a read-out control signal is inputted, counting of the pulse number of this write-in control signal will be carried out with the 1st counter, and the write-in address will be held at this 1st counter. Counting of the pulse number of a read-out control signal is carried out with the 2nd counter, and the read-out address is held at this 2nd counter. The write-in address and the read-out address which were held at the 1st and 2nd counters are sent to a selection means and a comparison means. With a selector means, based on the select signal given from a control means, either of the read-out addresses AD_r outputted from the write-in address AD_w or the 2nd counter outputted from the 1st counter is chosen, a memory address AD is outputted, and it sends to memory. Moreover, with a comparison means, the write-in address AD_w is compared with the read-out address AD_r, and an empty status-display signal, a full state status signal, and a counter comparison signal are outputted. If a write-in control signal is given, the buffer control signal outputted from a control means will be answered, an I/O means will operate, and a memory data bus and a transmitting-side data bus will be connected. Then, by memory, the transmit data on the memory data bus sent to the storage region specified by the memory address AD given from a selection means from a transmitting-side data bus is memorized. On the other hand, if a read-out control signal is given, a memory data bus and a receiving-side data bus will be connected by the I/O means. By memory, the stored data of the storage region specified by the memory address AD is outputted to a receiving-side data bus through read-out and a memory data bus.

[0009] Although the almost same actuation as the FIFO memory of claim 1 is performed in the FIFO memory of invention of claim 2, if a writing side counter read-out control signal is given to a control means, the buffer control signal outputted from this control means will be answered, and a counter comparison signal line and a transmitting-side data bus will be connected by the I/O means. Thereby, the counter comparison signal outputted from a comparison means is outputted to a transmitting-side data bus through a counter comparison signal line and an I/O means. On the other hand, if a read-out side counter read-out control signal is given to a control means, the buffer control signal outputted from this control means will be answered, and a counter comparison signal line and a receiving-side data bus will be connected by the I/O means. Thereby, the counter comparison signal outputted from a comparison means is outputted to a receiving-side data bus through a counter comparison signal line and an I/O

means. By invention of claim 4, when performing data transfer from a transmitting-side subsystem to a receiving-side subsystem, after checking that this FIFO memory is not full state based on the full state status signal or counter comparison signal outputted from the comparison means of a FIFO memory, a transmitting-side data bus and a write-in control signal are used, and transmit data is written in a FIFO memory with a transmitting-side subsystem. In a receiving-side subsystem, after checking that this FIFO memory is not in an empty condition based on the empty status-display signal or counter comparison signal outputted from a FIFO memory, a receiving-side data bus and a read-out control signal are used, and received data are read from this FIFO memory.

[0010]

[Embodiment of the Invention]

The 1st operation gestalt drawing 2 is the block diagram of the outline of a data transfer system which shows the 1st operation gestalt of this invention. This data transfer system is a system which delivers data using FIFO memory 13 among two or more equipments (for example, the transmitting-side subsystem 11 and the receiving-side subsystem 12) which are operating to asynchronous mutually. In the transmitting-side subsystem 11 and the receiving-side subsystem 12, a DMA controller or a microprocessor for performing writing and read-out control of data etc. is prepared. The transmitting-side subsystem 11 is transmit data and the write-in control signal WRITE. It has the function to output and connects with FIFO memory 13 with the transmitting-side data bus 14. The receiving-side subsystem 12 has the function to input received data while outputting the read-out control signal READ, it depends it receiving-side data bus 15, and is connected with FIFO memory 13. FIFO memory 13 is the write-in control signal WRITE. And it is controlled by the read-out control signal READ, and has the function which outputs the empty status-display signal EMPTY, the full state status signal FULL, and the counter comparison signal COUNT.

[0011] Drawing 1 is the block diagram of FIFO memory 13 in drawing 2 R> 2 which is the 1st operation gestalt of this invention. This FIFO memory 13 is the write-in control signal WRITE which consists of a pulse signal. The 1st counter 21 which carries out counting (count) of the pulse number, and holds the write-in address ADw (for example, write-in counter). The 2nd counter 22 which counts the pulse number of the read-out control signal READ which consists of a pulse signal, and holds the read-out address ADr (for example, read-out counter). Write-in control signal WRITE And it has the control means (for example, buffer control circuit) 23 which answers the read-out control signal READ and outputs select signal (for example, address select signal) AS and the buffer control signal BC. The write-in counter 21 is the write-in control signal WRITE. The clock terminal CLK to input and reset-signal RESET It has the reset terminal RST to input and the output terminal OUT which outputs the write-in address ADw. The read-out counter 22 is the clock terminal CLK which inputs the read-out control signal READ, and reset-signal RESET. It has the reset terminal RST to input and the output terminal OUT which outputs the read-out address ADr. The selection means (for example, address selector) 24 is connected, the address input terminal A of memory (for example, RAM) 26 is connected to this output terminal through the memory address bus 25, and it is in the output terminal OUT of the write-in counter 21, and the output terminal OUT of the read-out counter 22.

[0012] An address selector 24 is a circuit which chooses either of the read-out addresses ADr outputted from the write-in address ADw or the read-out counter 22 outputted from the write-in counter 21 based on address select signal AS outputted from the buffer control circuit 23, and outputs a memory address AD to RAM26 through the memory address bus 25. The address input terminal A into which RAM26 inputs a memory address AD Write-in control signal WRITE The read-out control terminal R which inputs the write-in control terminal W to input and the read-out control signal READ And it has the data input/output terminal D which performs the input of transmit data, or the output of received data. Write-in control signal WRITE It becomes a write mode when given. To the storage region specified by the memory address AD, the transmit data on the memory data bus 27 connected to the data input/output terminal D is held. When the read-out control signal READ is given, it becomes read-out mode, and it has the function which outputs the maintenance data of the storage region specified by the memory address AD to the memory data bus 27 through the data input/output terminal D. The I/O means (for example, data buffer) 28 is connected to the data input/output terminal D of RAM26 through the memory data bus 27. A data buffer 28 is a circuit which answers the buffer control signal BC outputted from the buffer control circuit 23, and connects the memory data bus 27, the transmitting-side data bus 14, or the receiving-side data bus 15.

[0013] The comparison means (for example, comparator) 29 is connected to the output terminal OUT of the write-in counter 21, and the output terminal OUT of the read-out counter 22. A comparator 29 compares the write-in address ADw outputted from the write-in counter 21 with the read-out address ADr outputted from the read-out counter 22. empty status-display signal EMPTY which shows a thing with equal ($ADw=ADr$) the write-in address ADw and the read-out address ADr the write-in address ADw — the read-out address ADr — +one — counter comparison signal COUNT which shows the difference ($ADw-ADr$) of the full state status signal FULL and the write-in address ADw which show a large ($ADw+1=ADr$) thing, and the read-out address ADr It is the circuit to output. Counter comparison signal COUNT outputted from a comparator 29 The amount of data in FIFO memory 13 (data residue) is expressed.

[0014] In the above configuration, the actuation in the case of transmitting data to the receiving-side subsystem 12 from the transmitting-side subsystem 11 using FIFO memory 13 of drawing 2 is explained. First, data transfer is preceded and it is reset-signal RESET. The write-in counter 21 and the read-out counter 22 in FIFO memory 13 are initialized. After the completion of initialization and the transmitting-side subsystem 11 are the full state status signal FULL outputted from the comparator 29 in FIFO memory 13, or the counter comparison signal COUNT. Write-

in control signal WRITE after referring to and checking that RAM26 in this FIFO13 is not full state And transmit data is outputted to FIFO memory 13. Within FIFO memory 13, it is the write-in control signal WRITE. A pulse number is counted with the write-in counter 21, and write-in DRESS ADw is outputted to an address selector 24. The address selector 24 has changed to the write-in address ADw side by address select signal AS outputted from the buffer control circuit 23, chooses this write-in address ADw, and sends it to RAM26 in the form of a memory address AD. RAM26 is the write-in control signal WRITE. It is a write mode. A data buffer 28 connects the transmitting-side data bus 14 and the memory data bus 27 with the buffer control signal BC outputted from the buffer control circuit 23. The transmit data on the transmitting-side data bus 14 sent from the transmitting-side subsystem 11 is inputted into RAM26 through a data buffer 28 and the memory data bus 27. RAM26 memorizes the transmit data inputted into the storage region specified by the memory address AD. Thereby, the transmit data sent from the transmitting-side subsystem 11 is written in FIFO memory 13.

[0015] Under the present circumstances, counter comparison signal COUNT outputted from FIFO memory 13 in the transmitting-side subsystem 11 By using it, the amount of openings of this FIFO memory 13 can be known. Therefore, when the amount of data which should be transmitted from the transmitting-side subsystem 11 is larger than the amount of openings of FIFO memory 13, overflow processing of this FIFO memory 13 becomes unnecessary by setting the amount of data transfer in this transmitting-side subsystem 11 (for example, a DMA controller) as the amount of openings of this FIFO memory 13. On the other hand, when there are few amounts of openings of FIFO memory 13, it becomes possible to control by data flow control the amount of data which should be transmitted. thereby — overflow of data — it spills data picking and a ***** problem stops occurring On the other hand, in the receiving-side subsystem 12, after checking that RAM26 in this FIFO memory 13 is not in an empty condition with reference to the empty status-display signal EMPTY outputted from the comparator 29 in FIFO memory 13, or the counter comparison signal COUNT, the read-out control signal READ is outputted and it gives this FIFO memory 13. In FIFO memory 13, the pulse number of the read-out control signal READ counts with the read-out counter 22, the read-out address ADr is outputted from this read-out counter 22, and it is sent to an address selector 24.

[0016] Since the address selector 24 has changed to the read-out control signal READ side by address select signal AS, it gives this read-out control signal READ to RAM26 in the form of a memory address AD. RAM26 becomes read-out mode with the read-out control signal READ. A data buffer 28 connects the memory data bus 27 and the receiving-side data bus 15 with the buffer control signal BC outputted from the buffer control circuit 23. The stored data of the storage region in RAM26 specified by the memory address AD is read, and this is read to the receiving-side data bus 15 through the memory data bus 27 and a data buffer 28 in the form of received data. In case received data are read from FIFO memory 13, with the receiving-side subsystem 12, it is the counter comparison signal COUNT. By using it, the amount of data of RAM26 in this FIFO memory 13 can be known. Therefore, the amount of data transfer of a DMA controller is set as maximum, for example, and the procedure of carrying out underflow processing of this FIFO memory 13 becomes unnecessary after transfer termination. Moreover, when there is little amount of data of FIFO memory 13, it becomes possible to collect into extent in which overflow of this FIFO memory 13 does not occur later, and to carry out transfer processing to it. The problem of the fall of the performance by this repeating little transfer processing repeatedly stops occurring.

[0017] As mentioned above, at this 1st operation gestalt, it is the counter comparison signal COUNT. There is an advantage like following (a) - (c) by having prepared.

(a) The transmitting-side subsystem 11 and the receiving-side subsystem 12 can know the actually required amount of data transfer. Therefore, the amount of data transfer of the DMA controller in the transmitting-side subsystem 11 and the receiving-side subsystem 12 is set as maximum, for example, and the after treatment of amending based on the actual amount of transfers after transfer processing becomes unnecessary. (b) In the transmitting-side subsystem 11, when there are few amounts of openings of FIFO memory 13, it becomes possible to control the amount of data which should be transmitted by data flow control. The problem of picking **** of overflow of data or data stops therefore, occurring.

(c) In the receiving-side subsystem 12, when there is little amount of data of FIFO memory 13, it becomes possible to collect into extent in which overflow of this FIFO memory 13 does not occur later, and to carry out transfer processing to it. The problem of the fall of the performance by repeating little transfer processing repeatedly stops therefore, occurring. Therefore, like (a) - (c), it is reliable and the data transfer system in which data transfer with sufficient performance is possible can consist of simple processings.

[0018] The 2nd operation gestalt drawing 3 is the block diagram of a FIFO memory showing the 2nd operation gestalt of this invention, and the common sign is given to the element in drawing 1 which shows the 1st operation gestalt, and the common element. This FIFO memory is what is prepared in FIFO memory 13 part in drawing 2 like the 1st operation gestalt. Counter comparison signal COUNT outputted from a comparator 29 In order to enable it to read through the transmitting-side data bus 14 and the receiving-side data bus 15, While preparing buffer control circuit 23A and data buffer 28A from which it replaces with the buffer control circuit 23 and data buffer 28 of drawing 1, and this and a configuration differ Counter comparison signal COUNT outputted from a comparator 29 The counter comparison signal line 30 for transmitting is connected to the input side of this data buffer 28A. Buffer control circuit 23A is the write-in control signal WRITE outputted from the transmitting-side subsystem 11. And the writing side counter read-out control signal INCONT, the read-out control signal READ outputted from the receiving-side subsystem 12, and the read-out side counter read-out control signal OUTCONT It is the circuit which answers and outputs address select signal AS and the buffer control signal BC. Data buffer 28A is a circuit

which answers the buffer control signal BC and connects the memory data bus 27 or the counter comparison signal line 30, and the transmitting-side data bus 14 or the receiving data bus 15. When transmitting data to the receiving-side subsystem 13 from the transmitting-side subsystem 11 using the FIFO memory of this drawing 3, the same actuation as the 1st operation gestalt is performed.

[0019] When the transmitting-side subsystem 11 reads the counter comparison signal COUNT outputted from a comparator 29, the writing side counter read-out control signal INCONT is outputted from this transmitting-side subsystem 11, and it is given to buffer control circuit 23A. In buffer control circuit 23A, the buffer control signal BC is outputted to data buffer 28A. Since the counter comparison signal line 30 and the transmitting-side data bus 14 are connected in data buffer 28A, it is the counter comparison signal COUNT from this transmitting-side data bus 14. It can read. Counter comparison signal COUNT with which the receiving-side subsystem 12 was outputted from the comparator 29 When reading, it is this receiving-side subsystem 12 to the read-out side counter read-out control signal OUTCONT. It is given to buffer control circuit 23A. Data buffer 28A connects the counter comparison signal line 30 and the receiving-side data bus 15 with the buffer control signal BC by which buffer control circuit 23A is outputted. Thereby, it is the counter comparison signal COUNT from the receiving-side data bus 15. It can read. As mentioned above, with this 2nd operation gestalt, it has the almost same advantage as the 1st operation gestalt, and also there are the following advantages. The transmitting-side subsystem 11 and the receiving-side subsystem 12 go via the transmitting-side data bus 14 and the receiving-side data bus 15, and it is the counter comparison signal COUNT. Since it enabled it to read, compared with the 1st operation gestalt, there are few increments in a signal number and the compact data transfer structure of a system of them becomes possible.

[0020] The 3rd operation gestalt this invention can be applied to the data transfer system to which two or more subsystems carry out data transfer by the FIFO memory, and shows this example of application to drawing 4 (a) and (b). Drawing 4 (a) and (b) are the block diagrams of the outline of a data transfer system which shows the 3rd operation gestalt of this invention, and the common sign is given to the element in drawing 2 which shows the 1st operation gestalt, and the common element. One transmitting-side subsystem 11 is connected to the transmitting-side data bus 14 in the data transfer system of drawing 4 (a). Two or more FIFO memories 13-1 - 13-n are connected to this transmitting-side data bus 14, and the receiving-side subsystem 12-1 - 12-n are further connected to each of these FIFO memories 13-1 - 13-n through the receiving-side data bus 15-1 - 15-n, respectively. Each FIFO memory 13-1 - 13-n have FIFO memory composition of drawing 1 or drawing 3. In such a data transfer system, when transmitting data to receiving-side subsystem 12-n from the transmitting-side subsystem 11, the write-in control signal WRITE and transmit data are outputted from this transmitting-side subsystem 11. With this write-in control signal WRITE, FIFO memory 13-n becomes a write mode, and writes in the transmit data sent from the transmitting-side data bus 14. The received data written in FIFO memory 13-n are read from receiving-side data bus 15-n, and are sent to receiving-side subsystem 12-n.

[0021] In the data transfer system of drawing 4 (b), two or more FIFO memories 13-1 connected to two or more transmitting-side subsystems 11-1 - 11-n by the transmitting-side data bus 14-1 - 14-n, respectively - 13-n are connected to the receiving-side data bus 15. One receiving-side subsystem 12 is connected to the receiving-side data bus 15. When transmitting data to the receiving-side subsystem 12 from the transmitting-side subsystem 11-1 in such a data transfer system, it is this transmitting-side system 11-1 to the write-in control signal WRITE. And transmit data is outputted and it is sent to FIFO memory 13-1 through the transmitting-side data bus 14-1. Write-in control signal WRITE sent from the transmitting-side subsystem 11-1 in FIFO memory 13-1 It becomes a write mode and the transmit data sent from the transmitting-side data bus 14-1 is written in. In the receiving-side subsystem 12, the read-out control signal READ is outputted and it sends to FIFO memory 13-1. Then, FIFO memory 13-1 becomes read-out mode, and the received data memorized by this FIFO memory 13-1 are outputted to the receiving-side data bus 15, and are sent to the receiving-side subsystem 12. Also in a data transfer system as shown in this drawing 4 (a) and (b), there is the almost same advantage as the 1st and 2nd operation gestalten.

[0022] Counter comparison signal COUNT outputted from a comparator 29 in the FIFO memory of the 4th operation gestalt drawing 1 or drawing 3 It consists of two or more bits, and has composition which minds all these bits by drawing 1 and drawing 2, minds [the transmitting-side subsystem 11 and / receiving-side / 12] the counter comparison signal line 30 by delivery and drawing 3, and is sent to data buffer 28A. Under the present circumstances, counter comparison signal COUNT which consists of two or more bits outputted from a comparator 29 A lower order bit is omitted inside and you may make it send a several bits high order to data buffer 28A of the transmitting-side subsystem 11 of drawing 2 and the receiving-side subsystem 12, or drawing 3. Thus, counter comparison signal COUNT Since the near amount of data of a FIFO memory is known even if it sends a several bits high order, the almost same advantage as the above-mentioned operation gestalt is acquired, and also the number of a signal line and simplification of circuitry can be attained by the abbreviation of the number of bits.

[0023] In addition, this invention is not limited to the above-mentioned operation gestalt, but various deformation is possible for it. As this modification, there is the following, for example.

(i) In the FIFO memory of drawing 1 and drawing 3, data buffers 28 and 28A may be constituted from other I/O means, or RAM26 may consist of other memory, such as a register.

(ii) In drawing 4 (a) and (b), it is good also considering the receiving-side subsystem 12 as the main system of a receiving side in making the transmitting-side subsystem 11 into the main system of a transmitting side. Moreover, you may make it a data transfer system which performs data transfer between these equipments by connecting equipments, such as two or more subsystems, using a FIFO memory with the configuration of those other than drawing 2 and drawing 4 (a), and (b).

[0024]

[Effect of the Invention] Since it was made to output a counter comparison signal from the comparison means in a FIFO memory according to invention of claims 1, 3, and 4 of this inventions as explained to the detail above, a configuration is comparatively easy, using the easy FIFO memory of control, it is reliable and the data transfer system in which data transfer with sufficient performance is possible can consist of simple processings. Since it enabled it to read the counter comparison signal outputted from the comparison means in FIOF memory through a transmitting-side data bus and a receiving-side data bus according to invention of claims 2, 3, and 4, the almost same effectiveness as invention of claims 1, 3, and 4 is, and also there are few increments in a signal number compared with them, and the compact data transfer structure of a system becomes possible. In invention of claim 3, when it is made a configuration which gives the several bits high order of the counter comparison signals to an I/O means, reduction of the number of signal lines and simplification of circuitry can be attained.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of a FIFO memory showing the 1st operation gestalt of this invention.

[Drawing 2] It is the block diagram of the outline of the data transfer system using the FIFO memory of drawing 1 which shows the 1st operation gestalt of this invention.

[Drawing 3] It is the block diagram of a FIFO memory showing the 2nd operation gestalt of this invention.

[Drawing 4] It is the block diagram of the outline of a data transfer system which shows the 3rd operation gestalt of this invention.

[Drawing 5] It is the block diagram of the outline of the conventional data transfer system.

[Description of Notations]

- 11, 11-1 - 11-n Transmitting-side subsystem
- 12-1 - 12 and 12-n Receiving-side subsystem
- 13-1 - 13 and 13-n FIFO memory
- 14-1 - 14 and 14-n Transmitting-side data bus
- 15-1 - 15 and 15-n Receiving-side data bus
- 21 [] Write-in Counter
- 22 [] Read-out Counter
- 23 23A Buffer control circuit
- 24 [] Address Selector
- 25 [] Memory Address Bus
- 26 RAM
- 27 [] Memory Data Bus
- 28 [] Data Buffer
- 29 [] Comparator

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-222441

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

G 0 6 F 13/00

識別記号

3 5 3

F I

G 0 6 F 13/00

3 5 3 Q

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号

特願平9-18450

(22) 出願日

平成9年(1997) 1月31日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山本 祥久

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

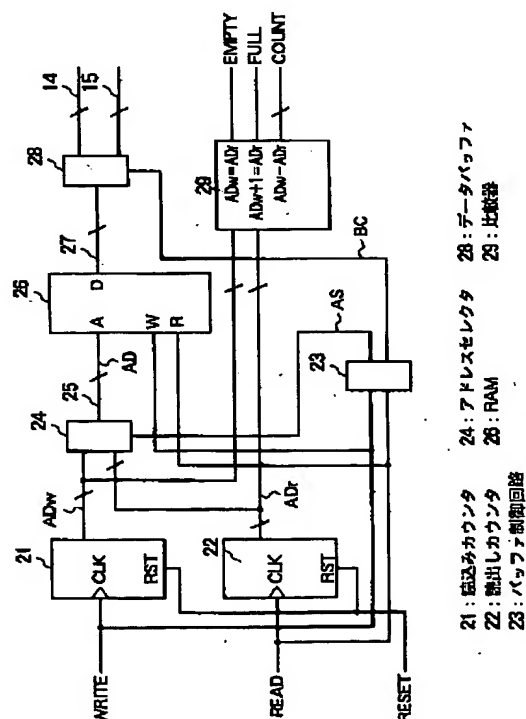
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 F I F Oメモリ及びこれを用いたデータ転送システム

(57) 【要約】

【課題】 単純な処理で、信頼性が高く、パフォーマンスのよいデータ転送が可能なデータ転送システムを構成する。

【解決手段】 F I F Oメモリを用いて送信側サブシステムから受信側サブシステムへデータを転送する場合、送信側サブシステムでは、F I F Oメモリ内の比較器29から出力される満状態表示信号FULLまたはF I F Oメモリのデータ残量を示すカウンタ比較信号COUNTを参照し、F I F Oメモリが満状態でないことを確認した後、送信側データバス14と書き込み制御信号WRITEを使用して送信データをF I F Oメモリ内のRAM 26に書き込む。受信側サブシステムでは、比較器29から出力される空状態表示信号EMPTYまたはカウンタ比較信号COUNTを参照し、F I F Oメモリが空状態でないことを確認した後、受信側データバス15と読み出し制御信号READを使用して受信データをRAM 26より読出す。



(2)

【特許請求の範囲】

【請求項1】 パルス信号からなる書込み制御信号のパルス数を計数して書込みアドレスを保持する第1のカウンタと、

パルス信号からなる読出し制御信号のパルス数を計数して読出しアドレスを保持する第2のカウンタと、
前記書込み制御信号及び前記読出し制御信号に応答してセレクト信号及びバッファ制御信号を出力する制御手段と、

前記セレクト信号に基づき、前記第1のカウンタから出力される書込みアドレスADwまたは前記第2のカウンタから出力される読出しアドレスADrのいずれか一方を選択してメモリアドレスADを出力するセレクト手段と、

前記バッファ制御信号に応答して、メモリデータバスと送信側データバスまたは受信側データバスとを接続する入出力手段と、

前記書込み制御信号に応答して、前記メモリアドレスADで指定される記憶領域に前記メモリデータバス上の送信データを保持し、前記読出し制御信号に応答して、前記メモリアドレスで指定される記憶領域の保持データを前記メモリデータバスへ出力するメモリと、

前記第1のカウンタから出力される書込みアドレスADwと前記第2のカウンタから出力される読出しアドレスADrとを比較し、 $ADw = ADr$ を示す空状態表示信号、 $ADw + 1 = ADr$ を示す満状態表示信号、及び $(ADw - ADr)$ を示すカウンタ比較信号を出力する比較手段とを、備えたことを特徴とするFIFOメモリ。

【請求項2】 パルス信号からなる書込み制御信号のパルス数を計数して書込みアドレスを保持する第1のカウンタと、

パルス信号からなる読出し制御信号のパルス数を計数して読出しアドレスを保持する第2のカウンタと、
前記書込み制御信号、前記読出し制御信号、書込み側カウンタ読出し制御信号及び読出し側カウンタ読出し制御信号に
30 応答してセレクト信号及びバッファ制御信号を出力する制御手段と、

前記セレクト信号に基づき、前記第1のカウンタから出力される書込みアドレスADwまたは前記第2のカウンタから出力される読出しアドレスADrのいずれか一方を選択してメモリアドレスADを出力するセレクト手段と、

前記バッファ制御信号に応答して、メモリデータバスまたはカウンタ比較信号線と、送信側データバスまたは受信側データバスとを接続する入出力手段と、

前記書込み制御信号に応答して、前記メモリアドレスADで指定される記憶領域に前記メモリデータバス上の送信データを保持し、前記読出し制御信号に
40 応答して、前記メモリアドレスで指定される記憶領域の保持データを

2

前記メモリデータバスへ出力するメモリと、

前記第1のカウンタから出力される書込みアドレスADwと前記第2のカウンタから出力される読出しアドレスADrとを比較し、 $ADw = ADr$ を示す空状態表示信号、及び $ADw + 1 = ADr$ を示す満状態表示信号を出力すると共に、 $(ADw - ADr)$ を示すカウンタ比較信号を前記カウンタ比較信号線へ出力する比較手段とを、備えたことを特徴とするFIFOメモリ。

【請求項3】 請求項1または2記載のFIFOメモリにおいて、前記カウンタ比較信号は、複数ビットからなり、これらの全ビットまたは上位数ビットのみを前記入出力手段へ与える構成にしたことを特徴とするFIFOメモリ。

【請求項4】 請求項1、2または3のFIFOメモリと、

前記送信側データバスを介して前記FIFOメモリに接続され、前記満状態表示信号または前記カウンタ比較信号に基づいて該FIFOメモリが満状態でないことを確認した後に、該送信側データバス及び前記書込み制御信号を用いて前記送信データを該FIFOメモリに書込む送信側サブシステムと、

前記受信側データバスを介して前記FIFOメモリに接続され、前記空状態表示信号または前記カウンタ比較信号に基づいて該FIFOメモリが空状態でないことを確認した後に、該受信側データバス及び前記読出し制御信号を用いて受信データを該FIFOメモリより読出す受信側サブシステムとを、備えたことを特徴とするデータ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、互いに非同期に動作している複数のサブシステム等の装置間で、データの授受を行うために使用されるFIFO (First-In First-Out) メモリ、及びこれを用いたデータ転送システムに関するものである。

【0002】

【従来の技術】図5は、従来のデータ転送システムの概略の構成図である。このデータ転送システムは、互いに非同期に動作している送信側サブシステム1と受信側サブシステム2との間で、FIFOメモリ3を使用してデータの受け渡しを行うようになっている。各サブシステム1、2では、データの書込み及び読出しを行うために、マイクロプロセッサあるいはDMA (Direct Memory Access) コントローラを有している。マイクロプロセッサを用いてデータの書込み及び読出しを行う方式は、該マイクロプロセッサをプログラムにより制御して、書込み及び読出しをするプログラム転送方式である。これに対し、DMAコントローラを用いてデータの書込み及び読出しを行う方式は、該DMAコントローラにアドレス、転送ワード数等を設定して書込み及び読出しをする

(3)

3

DMA転送方式である。一般的に、高速なデータ転送が必要な場合には、DAM転送方式が使用される。送信側サブシステム1とFIFOメモリ3とは、送信側データバス4で接続され、さらに受信側サブシステム2とFIFOメモリ3とが、受信側データバス5で接続されている。

【0003】以上の構成において、FIFOメモリ3は、送信側サブシステム1から与えられる書き込み制御信号WRITEと、受信側サブシステム2から与えられる読出し制御信号READとで制御され、空状態表示信号EMPTY及び満状態表示信号FULLを出力する。送信側サブシステム1では、FIFOメモリ3から出力される満状態表示信号FULLが偽りであることを確認した後、送信側データバス4と書き込み制御信号WRITEを使用して送信データを該FIFOメモリ3に書き込む。受信側サブシステム2では、FIFOメモリ3から出力される空状態表示信号EMPTYが偽りであることを確認した後、受信側データバス5と読出し制御信号READを使用して受信データを該FIFOメモリ3より読出す。これにより、送信側サブシステム1から受信側サブシステム2へのデータ転送が行える。

【0004】

【発明が解決しようとする課題】しかしながら、従来のFIFOメモリ3では、該FIFOメモリ3の状態を示す信号として空状態表示信号EMPTYと満状態表示信号FULLが存在するが、これだけでは送信側サブシステム1及び受信側サブシステム2において、データが空、データが存在する、データが満杯の3状態しか区別することができないので、転送するデータ量が不明である。そのため、次の(a)～(c)のような問題が生じる。

(a) 送信側サブシステム1及び受信側サブシステム2において、実際に必要なデータ転送量が不明なため、これらのサブシステム1、2内に設けられたDMAコントローラ等のデータ転送量を最大値に設定しておき、転送処理後に実際の転送量をもとに補正をするといった後処理(即ち、DMAコントローラ等の転送処理後の後処理)が複雑である。

(b) 送信側サブシステム1では、FIFOメモリ3の空き量が少ない場合、データフロー制御により転送すべきデータ量を制御する(即ち、FIFOメモリ3の空き量によるデータフロー制御をする)ことができない。そのため、データのオーバフローや、データの取りこぼしといった問題が発生する。

(c) 受信側サブシステム2では、FIFOメモリ3のデータ量による転送処理の緊急度(即ち、データ量が多い場合には、オーバフローが起きる可能性があるのでデータを緊急に読出し、データ量が少ない場合には、オーバフローが起きる可能性が少ないので後でまとめて転送処理をしてもいい)を判断できない。そのため、FIFOメモリ3のデータ量が少ない場合、この少ないデー

4

タ量の転送処理を何度も繰返せば、パフォーマンスの低下といった問題が発生する。従来、これらの問題を解決するため、例えば、特開平3-180953号公報、特開平6-4437号公報等において、データ量表示用のカウンタを設けたFIFOメモリを用いたデータ転送技術も提案されている。ところが、単純な処理で、信頼性が高く、パフォーマンスのよいデータ転送が可能なデータ転送システムを構成するうえで、構成が比較的簡単で、制御の容易なFIFOメモリが従来なかったので、いまだ技術的に充分満足のいくFIFOメモリとこれを用いたデータ転送システムを得ることが困難であった。

【0005】

【課題を解決するための手段】前記課題を解決するために、本発明のうちの請求項1の発明では、FIFOメモリにおいて、パルス信号からなる書き込み制御信号のパルス数を計数して書き込みアドレスを保持する第1のカウンタと、パルス信号からなる読出し制御信号のパルス数を計数して読出しアドレスを保持する第2のカウンタと、前記書き込み制御信号及び前記読出し制御信号に応答してセレクト信号及びバッファ制御信号を出力する制御手段と、前記セレクト信号に基づき、前記第1のカウンタから出力される書き込みアドレスADwまたは前記第2のカウンタから出力される読出しアドレスADrのいずれか一方を選択してメモリアドレスADを出力するセレクト手段と、前記バッファ制御信号に応答して、メモリデータバスと送信側データバスまたは受信側データバスとを接続する入出力手段と、RAM(Random Access Memory)等のメモリと、比較手段とを備えている。前記メモリは、前記書き込み制御信号に応答して、前記メモリアドレスADで指定される記憶領域に前記メモリデータバス上の送信データを保持し、前記読出し制御信号に応答して、前記メモリアドレスで指定される記憶領域の保持データを前記メモリデータバスへ出力するものである。さらに、前記比較手段は、前記第1のカウンタから出力される書き込みアドレスADwと前記第2のカウンタから出力される読出しアドレスADrとを比較し、 $ADw = ADr$ を示す空状態表示信号、 $ADw + 1 = ADr$ を示す満状態表示信号、及び $(ADw - ADr)$ を示すカウンタ比較信号を出力するものである。

【0006】請求項2の発明では、FIFOメモリにおいて、請求項1と同様の第1、第2のカウンタ、セレクト手段、及びメモリと、請求項1とは異なる制御手段、入出力手段、及び比較手段とを備えている。前記制御手段は、前記書き込み制御信号、前記読出し制御信号、書き込みカウンタ読出し制御信号及び読出し側カウンタ読出し制御信号に応答してセレクト信号及びバッファ制御信号を出力するものである。前記入出力手段は、前記バッファ制御信号に応答して、メモリデータバスまたはカウンタ比較信号線と、送信側データバスまたは受信側データバスとを接続するものである。さらに、前記比較手段

(4)

5

は、前記第1のカウンタから出力される書込みアドレスAD_wと前記第2のカウンタから出力される読出しアドレスAD_rとを比較し、AD_w=AD_rを示す空状態表示信号、及びAD_w+1=AD_rを示す満状態表示信号を出力すると共に、(AD_w-AD_r)を示すカウンタ比較信号を前記カウンタ比較信号線へ出力するものである。

【0007】請求項3の発明は、請求項1または2のFIFOメモリにおいて、前記カウンタ比較信号は、複数ビットからなり、これらの全ビットまたは上位数ビットのみを前記入出力手段へ与える構成にしている。請求項4の発明は、データ転送システムにおいて、請求項1、2または3のFIFOメモリと、送信側サブシステムと、受信側サブシステムとを備えている。前記送信側サブシステムは、前記送信側データバスを介して前記FIFOメモリに接続され、前記満状態表示信号または前記カウンタ比較信号に基づいて該FIFOメモリが満状態でないことを確認した後に、該送信側データバス及び前記書込み制御信号を用いて前記送信データを該FIFOメモリに書込むものである。さらに、前記受信側サブシステムは、前記受信側データバスを介して前記FIFOメモリに接続され、前記空状態表示信号または前記カウンタ比較信号に基づいて該FIFOメモリが空状態でないことを確認した後に、該受信側データバス及び前記読出し制御信号を用いて受信データを該FIFOメモリより読出すものである。

【0008】請求項1の発明によれば、以上のようにFIFOメモリを構成したので、書込み制御信号または読出し制御信号が入力されると、該書込み制御信号のパルス数が第1のカウンタで計数されて該第1のカウンタに書込みアドレスが保持される。読出し制御信号のパルス数は第2のカウンタで計数され、該第2のカウンタに読出しアドレスが保持される。第1及び第2のカウンタに保持された書込みアドレス及び読出しアドレスは、セレクト手段及び比較手段へ送られる。セレクト手段では、制御手段から与えられるセレクト信号に基づき、第1のカウンタから出力される書込みアドレスAD_wまたは第2のカウンタから出力される読出しアドレスAD_rのいずれか一方を選択してメモリアドレスADを出力し、メモリへ送る。また、比較手段では、書込みアドレスAD_wと読出しアドレスAD_rを比較し、空状態表示信号、満状態表示信号、及びカウンタ比較信号を出力する。書込み制御信号が与えられると、制御手段から出力されるバッファ制御信号にตอบสนองして入出力手段が動作し、メモリデータバスと送信側データバスとが接続される。すると、メモリでは、セレクト手段から与えられるメモリアドレスADで指定される記憶領域に、送信側データバスから送られてくるメモリデータバス上の送信データを記憶する。一方、読出し制御信号が与えられると、入出力手段によってメモリデータバスと受信側データバスとが

6

接続される。メモリでは、メモリアドレスADで指定される記憶領域の記憶データを読出し、メモリデータバスを介して受信側データバスへ出力する。

【0009】請求項2の発明のFIFOメモリでは、請求項1のFIFOメモリとほぼ同様の動作を行うが、書込み側カウンタ読出し制御信号が制御手段に与えられると、該制御手段から出力されるバッファ制御信号にตอบสนองして入出力手段により、カウンタ比較信号線と送信側データバスとが接続される。これにより、比較手段から出力されるカウンタ比較信号が、カウンタ比較信号線及び入出力手段を介して送信側データバスへ出力される。一方、読出し側カウンタ読出し制御信号が制御手段に与えられると、該制御手段から出力されるバッファ制御信号にตอบสนองして入出力手段により、カウンタ比較信号線と受信側データバスとが接続される。これにより、比較手段から出力されるカウンタ比較信号が、カウンタ比較信号線及び入出力手段を介して受信側データバスへ出力される。請求項4の発明では、送信側サブシステムから受信側サブシステムへデータ転送を行う場合、送信側サブシステムでは、FIFOメモリの比較手段から出力される満状態表示信号またはカウンタ比較信号に基づいて該FIFOメモリが満状態でないことを確認した後に、送信側データバス及び書込み制御信号を用いて送信データをFIFOメモリに書込む。受信側サブシステムでは、FIFOメモリから出力される空状態表示信号またはカウンタ比較信号に基づいて該FIFOメモリが空状態でないことを確認した後に、受信側データバス及び読出し制御信号を用いて受信データを該FIFOメモリより読出す。

【0010】

【発明の実施の形態】

第1の実施形態

図2は、本発明の第1の実施形態を示すデータ転送システムの概略の構成図である。このデータ転送システムは、互いに非同期に動作している複数の装置（例えば、送信側サブシステム11及び受信側サブシステム12）間で、FIFOメモリ13を用いてデータの受け渡しを行うシステムである。送信側サブシステム11及び受信側サブシステム12内には、データの書込み及び読出し制御を行うためのDMAコントローラあるいはマイクロプロセッサ等が設けられている。送信側サブシステム11は、送信データ及び書込み制御信号WRITEを出力する機能を有し、送信側データバス14によってFIFOメモリ13に接続されている。受信側サブシステム12は、読出し制御信号READを出力すると共に受信データを入力する機能を有し、受信側データバス15によってFIFOメモリ13と接続されている。FIFOメモリ13は、書込み制御信号WRITE及び読出し制御信号READで制御され、空状態表示信号EMPTY、満状態表示信号FULL及びカウンタ比較信号COUNTを出力する機能を有してい

(5)

7

る。

【0011】図1は、本発明の第1の実施形態である図2中のFIFOメモリ13の構成図である。このFIFOメモリ13は、パルス信号からなる書込み制御信号WRITEのパルス数を計数(カウント)して書込みアドレスADwを保持する第1のカウント(例えば、書込みカウンタ)21と、パルス信号からなる読出し制御信号READのパルス数をカウントして読出しアドレスADrを保持する第2のカウント(例えば、読出しカウンタ)22と、書込み制御信号WRITE及び読出し制御信号READに10 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000

【0012】アドレスセクタ24は、バッファ制御回路23から出力されるアドレスセレクト信号ASに基づき、書込みカウンタ21から出力される書込みアドレスADwまたは読出しカウンタ22から出力される読出しアドレスADrのいずれか一方を選択して、メモリアドレスADをメモリアドレスバス25を介してRAM26へ出力する回路である。RAM26は、メモリアドレスADを入力するアドレス入力端子A、書込み制御信号WRITEを入力する書込み制御端子W、読出し制御信号READを入力する読出し制御端子R、及び送信データの入力または受信データの出力を行うデータ入出力端子Dを有し、書込み制御信号WRITEが与えられた時には書込みモードになり、メモリアドレスADで指定される記憶領域に、データ入出力端子Dに接続されたメモリデータバス27上の送信データを保持し、読出し制御信号READが与えられた時には読出しモードになり、メモリアドレスADで指定される記憶領域の保持データを、データ入出力端子Dを介してメモリデータバス27へ出力する機能を有している。RAM26のデータ入出力端子Dには、メモリデータバス27を介して入出力手段(例えば、データバッファ)28が接続されている。データバッファ28は、バッファ制御回路23から出力されるバッファ制御信号BCに10 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000

8

【0013】書込みカウンタ21の出力端子OUT及び読出しカウンタ22の出力端子OUTには、比較手段(例えば、比較器)29が接続されている。比較器29は、書込みカウンタ21から出力される書込みアドレスADwと読出しカウンタ22から出力される読出しアドレスADrとを比較し、書込みアドレスADwと読出しアドレスADrが等しい($ADw = ADr$)ことを示す空状態表示信号EMPTYと、書込みアドレスADwが読出しアドレスADrより+1大きい($ADw + 1 = ADr$)ことを示す満状態表示信号FULLと、書込みアドレスADwと読出しアドレスADrの差分($ADw - ADr$)を示すカウンタ比較信号COUNTを出力する回路である。比較器29から出力されるカウンタ比較信号COUNTは、FIFOメモリ13中のデータ量(データ残量)を表している。

【0014】以上の構成において、例えば、図2のFIFOメモリ13を用いて送信側サブシステム11から受信側サブシステム12へデータを転送する場合の動作を説明する。まず、データ転送に先立って、リセット信号RESETによってFIFOメモリ13内の書込みカウンタ21及び読出しカウンタ22が初期化される。初期化完了後、送信側サブシステム11は、FIFOメモリ13内の比較器29から出力される満状態表示信号FULLまたはカウンタ比較信号COUNTを参照し、該FIFO13内のRAM26が満状態でないことを確認した後、書込み制御信号WRITE及び送信データをFIFOメモリ13へ出力する。FIFOメモリ13内では、書込み制御信号WRITEのパルス数を書込みカウンタ21でカウントし、書込みアドレスADwをアドレスセクタ24へ出力する。アドレスセクタ24は、バッファ制御回路23から出力されるアドレスセレクト信号ASによって書込みアドレスADw側に切替わっており、該書込みアドレスADwを選択してメモリアドレスADの形でRAM26へ送る。RAM26は、書込み制御信号WRITEによって書込みモードになっている。バッファ制御回路23から出力されるバッファ制御信号BCにより、データバッファ28が送信側データバス14とメモリデータバス27とを接続する。送信側サブシステム11から送られてきた送信側データバス14上の送信データは、データバッファ28及びメモリデータバス27を介してRAM26に入力される。RAM26は、メモリアドレスADで指定された記憶領域に、入力された送信データを記憶する。これにより、送信側サブシステム11から送られてきた送信データがFIFOメモリ13に書込まれる。

【0015】この際、送信側サブシステム11では、FIFOメモリ13から出力されるカウンタ比較信号COUNTを使用することにより、該FIFOメモリ13の空き量を知ることが出来る。そのため、送信側サブシステム11から転送すべきデータ量がFIFOメモリ13の空き量よりも大きい場合には、該送信側サブシステム11

(6)

9

内の例えばDMAコントローラのデータ転送量を該FIFOメモリ13の空き量に設定しておくことで、該FIFOメモリ13のオーバーフロー処理が不要になる。これに対し、FIFOメモリ13の空き量が少ない場合には、データフロー制御により、転送すべきデータ量を制御することが可能となる。これにより、データのオーバーフローやデータ取りこぼしといった問題が発生しなくなる。一方、受信側サブシステム12では、FIFOメモリ13内の比較器29から出力される空状態表示信号EMPTYまたはカウンタ比較信号COUNTを参照し、該FIFOメモリ13内のRAM26が空状態でないことを確認した後、読出し制御信号READを出力して該FIFOメモリ13に与える。FIFOメモリ13では、読出し制御信号READのパルス数が読出しカウンタ22でカウントされ、該読出しカウンタ22から読出しアドレスAD_rが出力されてアドレスセクタ24へ送られる。

【0016】アドレスセクタ24は、アドレスセレクト信号ASによって読出し制御信号READ側に切替わっているため、該読出し制御信号READをメモリアドレスADの形でRAM26に与える。RAM26は、読出し制御信号READによって読出しモードになる。データバッファ28は、バッファ制御回路23から出力されるバッファ制御信号BCにより、メモリデータバス27と受信側データバス15とを接続する。メモリアドレスADで指定されたRAM26内の記憶領域の記憶データが読出され、これが受信データの形でメモリデータバス27及びデータバッファ28を介して受信側データバス15へ読出される。FIFOメモリ13より受信データを読出す際に、受信側サブシステム12では、カウンタ比較信号COUNTを使用することにより、該FIFOメモリ13内のRAM26のデータ量を知ることが出来る。そのため、例えばDMAコントローラのデータ転送量を最大値に設定しておいて、転送終了後、該FIFOメモリ13のアンダフロー処理をするといった手順が不要になる。また、FIFOメモリ13のデータ量が少ない場合には、該FIFOメモリ13のオーバーフローが起きない程度に、後でまとめて転送処理をすることが可能となる。これにより、少ない転送処理を何度も繰返すことによるパフォーマンスの低下といった問題が発生しなくなる。

【0017】以上のように、この第1の実施形態では、カウンタ比較信号COUNTを設けたことにより、次の(a)～(c)のような利点がある。

(a) 送信側サブシステム11及び受信側サブシステム12ともに、実際に必要なデータ転送量を知ることができる。そのため、例えば送信側サブシステム11及び受信側サブシステム12内のDMAコントローラのデータ転送量を最大値に設定しておき、転送処理後に実際の転送量をもとに補正をするといった後処理が不要になる。(b) 送信側サブシステム11では、FIFOメモリ13の空き量が少ない場

10

合、データフロー制御により転送すべきデータ量を制御することが可能となる。そのため、データのオーバーフローやデータの取りこぼしといった問題が発生しなくなる。

(c) 受信側サブシステム12では、FIFOメモリ13のデータ量が少ない場合、該FIFOメモリ13のオーバーフローが起きない程度に、後でまとめて転送処理をすることが可能となる。そのため、少ない転送処理を何度も繰返すことによるパフォーマンスの低下といった問題が発生しなくなる。従って、(a)～(c)のように、単純な処理で、信頼性が高く、パフォーマンスのよいデータ転送が可能なデータ転送システムを構成することができる。

【0018】第2の実施形態

図3は、本発明の第2の実施形態を示すFIFOメモリ13の構成図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。このFIFOメモリ13は、第1の実施形態と同様に図2中のFIFOメモリ13部分に設けられるものであり、比較器29から出力されるカウンタ比較信号COUNTを送信側データバス14及び受信側データバス15を介して読出せるようにするため、図1のバッファ制御回路23及びデータバッファ28に代えて、これと構成の異なるバッファ制御回路23A及びデータバッファ28Aを設けると共に、比較器29から出力されるカウンタ比較信号COUNTを伝送するためのカウンタ比較信号線30を該データバッファ28Aの入力側に接続している。バッファ制御回路23Aは、送信側サブシステム11から出力される書込み制御信号WRITE及び書込み側カウンタ読出し制御信号INCONTと、受信側サブシステム12から出力される読出し制御信号READ及び読出し側カウンタ読出し制御信号OUTCONTとにตอบสนองして、アドレスセレクト信号AS及びバッファ制御信号BCを出力する回路である。データバッファ28Aは、バッファ制御信号BCにตอบสนองして、メモリデータバス27またはカウンタ比較信号線30と、送信側データバス14または受信側データバス15とを接続する回路である。この図3のFIFOメモリ13を用いて送信側サブシステム11から受信側サブシステム13へデータを転送する場合は、第1の実施形態と同様の動作が行われる。

【0019】送信側サブシステム11が比較器29から出力されるカウンタ比較信号COUNTを読出す場合には、該送信側サブシステム11から書込み側カウンタ読出し制御信号INCONTが出力され、バッファ制御回路23Aに与えられる。バッファ制御回路23Aでは、バッファ制御信号BCをデータバッファ28Aへ出力する。データバッファ28Aでは、カウンタ比較信号線30と送信側データバス14とを接続するので、該送信側データバス14よりカウンタ比較信号COUNTを読出すことができる。受信側サブシステム12が比較器29から出力されたカウンタ比較信号COUNTを読出す場合には、該受信側

(7)

11

サブシステム12から読出し側カウンタ読出し制御信号OUTCONTがバッファ制御回路23Aに与えられる。バッファ制御回路23Aが出力されるバッファ制御信号BCにより、データバッファ28Aがカウンタ比較信号線30と受信側データバス15とを接続する。これにより、受信側データバス15よりカウンタ比較信号COUNTを読出すことができる。以上のように、この第2の実施形態では、第1の実施形態とほぼ同様の利点を有するほかに、次のような利点がある。送信側サブシステム11及び受信側サブシステム12ともに、送信側データバス14及び受信側データバス15を経由してカウンタ比較信号COUNTを読出せるようにしたので、第1の実施形態に比べて信号本数の増加が少なく、コンパクトなデータ転送システムの構成が可能となる。

【0020】第3の実施形態

本発明は、複数のサブシステムがFIFOメモリによりデータ転送をするデータ転送システムに適用することができ、この適用例を図4(a)、(b)に示す。図4(a)、(b)は、本発明の第3の実施形態を示すデータ転送システムの概略の構成図であり、第1の実施形態を示す図2中の要素と共通の要素には共通の符号が付されている。図4(a)のデータ転送システムでは、1個の送信側サブシステム11が送信側データバス14に接続されている。この送信側データバス14には、複数のFIFOメモリ13-1～13-nが接続され、さらにこれらの各FIFOメモリ13-1～13-nに、受信側データバス15-1～15-nを介して受信側サブシステム12-1～12-nがそれぞれ接続されている。各FIFOメモリ13-1～13-nは、図1または図3のFIFOメモリ構成となっている。このようなデータ転送システムにおいて、例えば、送信側サブシステム11から受信側サブシステム12-nへデータを転送する場合、該送信側サブシステム11から書込み制御信号WRITE及び送信データを出力する。この書込み制御信号WRITEによってFIFOメモリ13-nが書込みモードになり、送信側データバス14から送られてくる送信データを書込む。FIFOメモリ13-nに書込まれた受信データは、受信側データバス15-nから読出されて受信側サブシステム12-nへ送られる。

【0021】図4(b)のデータ転送システムでは、複数の送信側サブシステム11-1～11-nに、それぞれ送信側データバス14-1～14-nによって接続された複数のFIFOメモリ13-1～13-nが、受信側データバス15に接続されている。受信側データバス15には、1個の受信側サブシステム12が接続されている。このようなデータ転送システムにおいて、例えば、送信側サブシステム11-1から受信側サブシステム12へデータを転送する場合、該送信側システム11-1から書込み制御信号WRITE及び送信データが出力され、送信側データバス14-1を介してFIFOメモ

12

リ13-1へ送られる。FIFOメモリ13-1では、送信側サブシステム11-1から送られてきた書込み制御信号WRITEによって書込みモードになり、送信側データバス14-1から送られてきた送信データを書込む。受信側サブシステム12では、読出し制御信号READを出力してFIFOメモリ13-1へ送る。すると、FIFOメモリ13-1が読出しモードになり、該FIFOメモリ13-1に記憶された受信データが受信側データバス15へ出力され、受信側サブシステム12へ送られる。この図4(a)、(b)のようなデータ転送システムにおいても、第1及び第2の実施形態とほぼ同様の利点がある。

【0022】第4の実施形態

図1または図3のFIFOメモリにおいて、比較器29から出力されるカウンタ比較信号COUNTは、複数ビットで構成され、これらの全ビットを、図1及び図2では送信側サブシステム11及び受信側サブシステム12に送り、図3では、カウンタ比較信号線30を介してデータバッファ28Aへ送る構成になっている。この際、比較器29から出力される複数ビットからなるカウンタ比較信号COUNTのうち、下位数ビットを省略し、上位数ビットのみを図2の送信側サブシステム11及び受信側サブシステム12、あるいは図3のデータバッファ28Aへ送るようにしてもよい。このように、カウンタ比較信号COUNTの上位数ビットだけを送るようにしても、FIFOメモリのおおよそのデータ量がわかるので、上記実施形態とほぼ同様の利点が得られるうえに、ビット数の省略によって信号線の本数や回路構成の単純化が図れる。

【0023】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(i) 図1及び図3のFIFOメモリにおいて、データバッファ28、28Aを他の入出力手段で構成したり、RAM26をレジスタ等の他のメモリで構成してもよい。

(ii) 図4(a)、(b)において、送信側サブシステム11を送信側のメインシステムとしたり、受信側サブシステム12を受信側のメインシステムとしてもよい。また、図2及び図4(a)、(b)以外の構成で、複数のサブシステム等の装置を接続することにより、FIFOメモリを用いてこれらの装置間のデータ転送を行うようなデータ転送システムにしてもよい。

【0024】

【発明の効果】以上詳細に説明したように、本発明のうちの請求項1、3及び4の発明によれば、FIFOメモリ内の比較手段からカウンタ比較信号を出力するようにしたので、構成が比較的簡単で、制御の容易なFIFOメモリを用い、単純な処理で、信頼性が高く、パフォーマンスのよいデータ転送が可能なデータ転送システムを構成することができる。請求項2、3及び4の発明によ

(8)

13

れば、FIFOメモリ内の比較手段から出力されるカウンタ比較信号を送信側データバス及び受信側データバスを介して読出せるようにしたので、請求項1、3及び4の発明とほぼ同様の効果があるうえに、それらに比べて信号本数の増加が少なく、コンパクトなデータ転送システムの構成が可能になる。請求項3の発明において、カウンタ比較信号のうちの上位数ビットのみを入出力手段へ与えるような構成にした場合、信号線数の削減と、回路構成の単純化が図れる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すFIFOメモリの構成図である。

【図2】本発明の第1の実施形態を示す図1のFIFOメモリを用いたデータ転送システムの概略の構成図である。

【図3】本発明の第2の実施形態を示すFIFOメモリの構成図である。

【図4】本発明の第3の実施形態を示すデータ転送シ

14

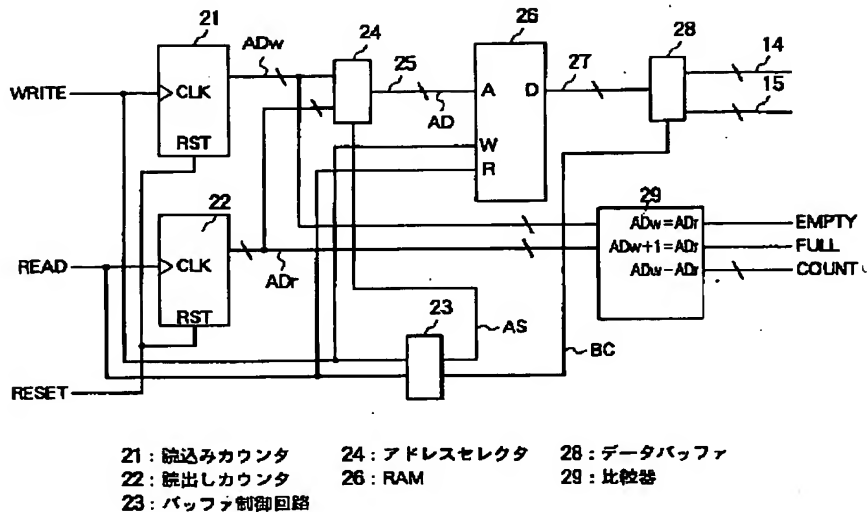
テムの概略の構成図である。

【図5】従来のデータ転送システムの概略の構成図である。

【符号の説明】

11, 11-1~11-n	送信側サブシステム
12, 12-1~12-n	受信側サブシステム
13, 13-1~13-n	FIFOメモリ
14, 14-1~14-n	送信側データバス
15, 15-1~15-n	受信側データバス
21	書き込みカウンタ
22	読出しカウンタ
23, 23A	バッファ制御回路
24	アドレスセクタ
25	メモリアドレスバス
26	RAM
27	メモリデータバス
28	データバッファ
29	比較器

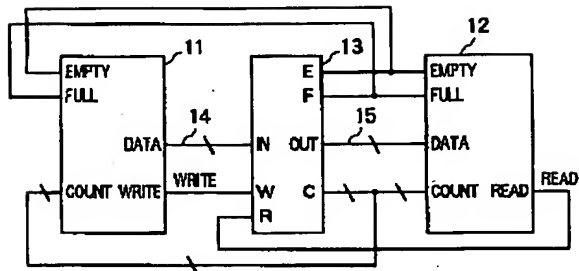
【図1】



本発明の第1の実施形態のFIFOメモリ

(9)

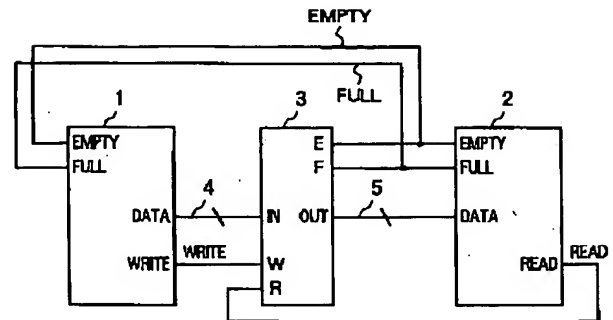
【図2】



- 11: 送信側サブシステム
 12: 受信側サブシステム
 13: FIFO メモリ
 14: 送信側データバス
 15: 受信側データバス

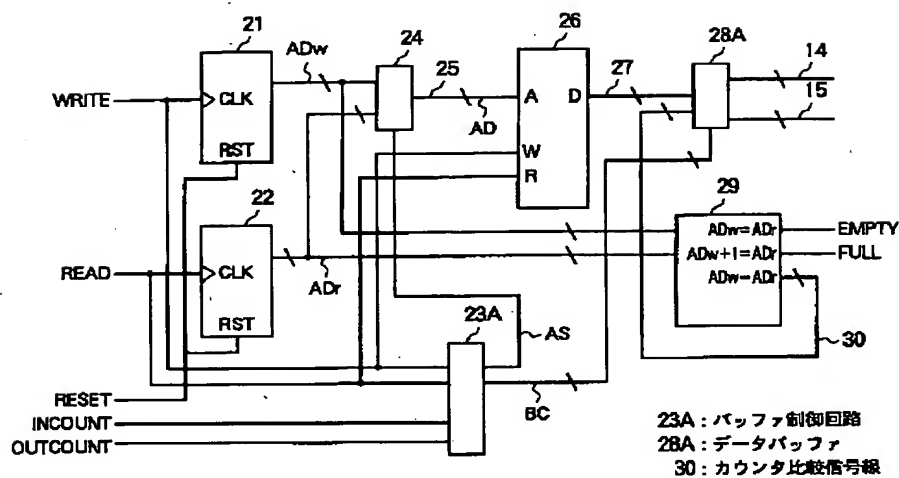
本発明の第1の実施形態のデータ転送システム

【図5】



従来のデータ転送システム

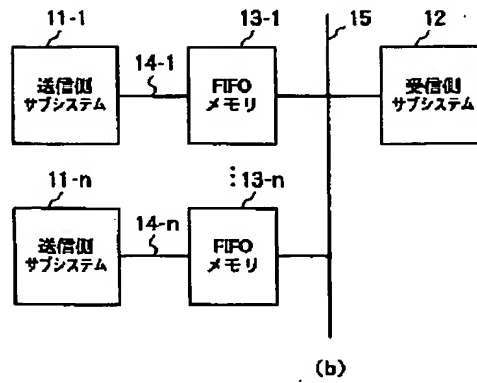
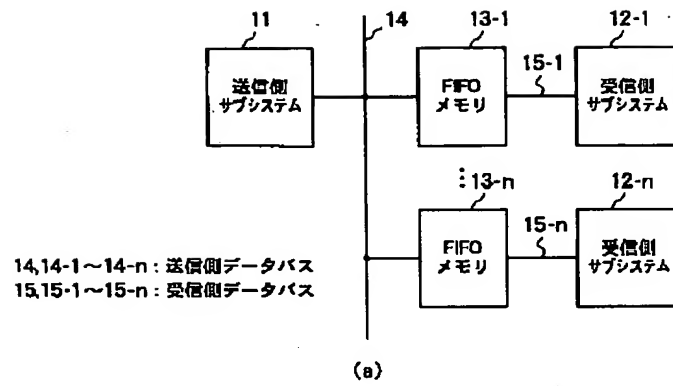
【図3】



本発明の第2の実施形態のFIFOメモリ

(10)

【図4】



本発明の第3の実施形態のデータ転送システム